

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
21. April 2005 (21.04.2005)

PCT

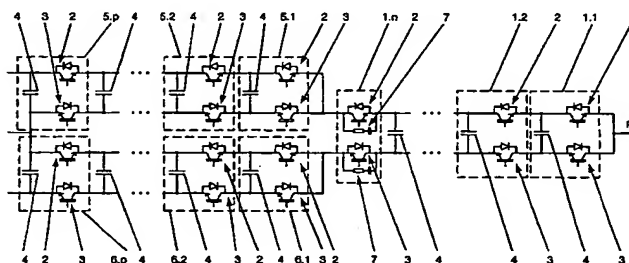
(10) Internationale Veröffentlichungsnummer
WO 2005/036719 A1

- (51) Internationale Patentklassifikation⁷: H02M (72) Erfinder; und
(21) Internationales Aktenzeichen: PCT/CH2003/000768 (75) Erfinder/Anmelder (nur für US): BARBOSA, Peter [BR/CH]; Segelhofstrasse 34b, CH-5405 Dättwil (CH).
(22) Internationales Anmeldedatum: 20. November 2003 (20.11.2003) STEINKE, Jürgen [DE/DE]; Steigacker 14, 79774 Albbruck (DE). STEIMER, Peter [CH/CH]; Schlierenbach 16, CH-5424 Unterehrendingen (CH). MEYSENC, Luc [FR/CH]; Zelgweg 20, CH-5405 Baden-Dättwil (CH). MEYNARD, Thierry [FR/FR]; 24, rue du Grand Duc, F-31240 L'Union (FR).
(25) Einreichungssprache: Deutsch
(26) Veröffentlichungssprache: Deutsch
(30) Angaben zur Priorität: 03405748.9 17. Oktober 2003 (17.10.2003) EP (74) Anwalt: ABB SCHWEIZ AG; Intellectual Property (CH-LC/IP), Brown Boveri Strasse 6, CH-5400 Baden (CH).
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): ABB RESEARCH LTD [CH/CH]; Affolternstrasse 52, CH-8050 Zürich (CH). (81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI,

[Fortsetzung auf der nächsten Seite]

(54) Title: CONVERTER CIRCUIT FOR CONNECTING A PLURALITY OF SWITCHING VOLTAGE LEVELS

(54) Bezeichnung: UMRICHTERSCHALTUNG ZUR SCHALTUNG EINER VIELZAHL VON SCHALTSPANNUNGSNIVEAUS



(57) Abstract: Disclosed is a converter circuit for connecting a plurality of switching voltage levels. Said converter circuit comprises n first vector groups (1.1,..., 1. n) for each phase (R, S, T). The n^{th} first vector group (1. n) is formed by a first power semiconductor switch (2) and a second power semiconductor switch (3) while the first first vector group (1.1) to the ($n-1$)th vector group (1.($n-1$)) is formed by a first power semiconductor switch (2), a second power semiconductor switch (3), and a capacitor (4) that is connected to the first and second power semiconductor switch (2, 3). Each of the n first vector groups (1.1,..., 1. n) is connected in parallel to the respective adjacent first vector group (1.1,..., 1. n) while the first and the second power semiconductor switch (2, 3) of the first first vector group (1.1) are interconnected. In order to reduce the stored electrical power of the converter circuit, n is greater than or equal to 1 while p second vector groups (5.1, ..., 5. p) and p third vector groups (6.1, ..., 6. p) are provided that are respectively formed by a first power semiconductor switch (2), a second power semiconductor switch (3), and a capacitor (4) which is connected to the first and second power semiconductor switch (2, 3), with the provision that $p = 1$. Each of the p second vector groups (5.1, ..., 5. p) is connected in parallel to the respective adjacent second vector group (5.1, ..., 5. p) while each of the p third vector groups (6.1, ..., 6. p) is connected in parallel to the respective adjacent third vector group (6.1,..., 6. p). The first second vector group (5.1) is connected to the first power semiconductor switch (2) of the n^{th} first vector group (1. n) while the first third vector group (6.1) is connected to the second power semiconductor switch (3) of the n^{th} first vector group (1. n). Moreover, the capacitor (4) of the p^{th} second vector group (5. p) is serially connected to the capacitor (4) of the p^{th} third vector group (6. p).

(57) Zusammenfassung: Es wird eine Umrichterschaltung zur Schaltung einer Vielzahl von Schaltspannungsniveaus angegeben, Umrichterschaltung zur Schaltung einer Vielzahl von Schaltspannungsniveaus, die n für jede Phase (R, S, T) vorgesehene erste Schaltgruppen (1.1,..., 1. n) aufweist, wobei die n -te erste Schaltgruppe (1. n) durch einen ersten Leistungshalbleiterschalter (2) und einen zweiten Leistungshalbleiterschalter (3) gebildet ist und die erste erste Schaltgruppe (1.1) bis zur ($n-1$)-ten

[Fortsetzung auf der nächsten Seite]

WO 2005/036719 A1



GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

PT, RO, SE, SI, SK, TR), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- mit geänderten Ansprüchen

(84) **Bestimmungsstaaten (regional):** ARIPO Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Schaltgruppe (1.(n-1)) jeweils durch einen ersten Leistungshalbleiterschalter (2) und einen zweiten Leistungshalbleiterschalter (3) und durch einen mit dem ersten und zweiten Leistungshalbleiterschalter (2, 3) verbundenen Kondensator (4) gebildet sind, wobei jede der n ersten Schaltgruppen (1.1, ..., 1.n) parallel mit der jeweils benachbarten ersten Schaltgruppe (1.1, ..., 1.n) verbunden ist und der erste und der zweite Leistungshalbleiterschalter (2, 3) der ersten ersten Schaltgruppe (1.1) miteinander verbunden sind. Zur Verringerung der gespeicherten elektrischen Energie der Umrichterschaltung ist $n \geq 1$ und sind p zweite Schaltgruppen (5.1, ..., 5.p) und p dritte Schaltgruppen (6.1, ..., 6.p) vorgesehen, welche jeweils durch einen ersten Leistungshalbleiterschalter (2) und einen zweiten Leistungshalbleiterschalter (3) und durch einen mit dem ersten und zweiten Leistungshalbleiterschalter (2, 3) verbundenen Kondensator (4) gebildet sind, wobei $p \geq 1$ ist und jede der p zweiten Schaltgruppen (5.1, ..., 5.p) parallel mit der jeweils benachbarten zweiten Schaltgruppe (5.1, ..., 5.p) verbunden ist und jede der p dritten Schaltgruppen (6.1, ..., 6.p) parallel mit der jeweils benachbarten dritten Schaltgruppe (6.1, ..., 6.p) verbunden ist und die erste zweite Schaltgruppe (5.1) mit dem ersten Leistungshalbleiterschalter (2) der n-ten ersten Schaltgruppe (1.n) verbunden ist und die erste dritte Schaltgruppe (6.1) mit dem zweiten Leistungshalbleiterschalter (3) der n-ten ersten Schaltgruppe (1.n) verbunden ist. Ferner ist der Kondensator (4) der p-ten zweiten Schaltgruppe (5.p) mit dem Kondensator (4) der p-ten dritten Schaltgruppe (6.p) seriell verbunden.